

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。  
This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application:

1999年10月18日

出願番号  
Application Number:

平成11年特許願第295885号

出願人  
Applicant(s):

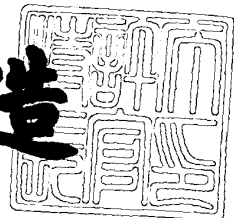
日本電気株式会社



2000年 7月21日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3056092

【書類名】 特許願

【整理番号】 74111985

【提出日】 平成11年10月18日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 中川 健一郎

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100070219

【弁理士】

【氏名又は名称】 若林 忠

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【手数料の表示】

【予納台帳番号】 015129

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置の製造方法及び半導体記憶装置

【特許請求の範囲】

【請求項 1】 浮遊ゲート電極及び制御ゲート電極を備えた、情報を記録するための複数のセルトランジスタと、

前記セルトランジスタを制御／選択するためのセレクトトランジスタとを有する、電氣的に情報の書込み／消去が可能な半導体記憶装置の製造方法であって、

前記セルトランジスタの前記制御ゲートを形成する前に、該セルトランジスタと同一の工程で製造された前記セレクトトランジスタのチャネル領域直上の基板表面を露出させ、

該露出された基板表面に前記セレクトトランジスタのゲート絶縁膜を形成し、

前記セルトランジスタの前記制御ゲート電極を形成すると共に、該ゲート絶縁膜上に前記セレクトトランジスタのゲート電極を形成する半導体記憶装置の製造方法。

【請求項 2】 前記セルトランジスタのソース領域及びドレイン領域となる第 1 の拡散層と、前記セレクトトランジスタのソース領域及びドレイン領域となる第 2 の拡散層とを同時に形成する請求項 1 記載の半導体記憶装置の製造方法。

【請求項 3】 論理演算回路からなる周辺回路部のトランジスタのゲート絶縁膜を前記セレクトトランジスタのゲート絶縁膜と同時に形成し、

前記周辺回路部のトランジスタのゲート電極を前記セレクトトランジスタのゲート電極と同時に形成する請求項 1 または 2 記載の半導体記憶装置の製造方法。

【請求項 4】 前記セレクトトランジスタのゲート絶縁膜の膜厚を、

前記周辺回路部のうちの高耐圧が要求されるトランジスタのゲート絶縁膜と等しくする請求項 3 記載の半導体記憶装置の製造方法。

【請求項 5】 浮遊ゲート電極及び制御ゲート電極を備えた、情報を記録するための複数のセルトランジスタと、

前記セルトランジスタを制御／選択するためのセレクトトランジスタとを有する、電氣的に情報の書込み／消去が可能な半導体記憶装置であって、

前記セレクトトランジスタのゲート電極に 1 層のポリシリコン膜を有し、

該セレクトトランジスタのゲート電極と、前記セルトランジスタの前記制御ゲート電極が同時に形成された半導体記憶装置。

【請求項 6】 前記セルトランジスタのソース領域及びドレイン領域となる第 1 の拡散層と、前記セレクトトランジスタのソース領域及びドレイン領域となる第 2 の拡散層とが同時に形成された請求項 5 記載の半導体記憶装置。

【請求項 7】 論理演算回路からなる周辺回路部のトランジスタのゲート絶縁膜が前記セレクトトランジスタのゲート絶縁膜と同時に形成され、

前記周辺回路部のトランジスタのゲート電極が前記セレクトトランジスタのゲート電極と同時に形成された請求項 5 または 6 記載の半導体記憶装置。

【請求項 8】 前記セレクトトランジスタのゲート絶縁膜の膜厚が、前記周辺回路部のうちの高耐圧が要求されるトランジスタのゲート絶縁膜と等しい請求項 7 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体記憶装置の製造方法に関し、特に電氣的に情報の書込み／消去が可能なフラッシュ E E P R O M に用いて好適な半導体記憶装置の製造方法に関する。

【0002】

【従来の技術】

電氣的に情報の書込み／消去が可能な不揮発性の半導体記憶装置であるフラッシュ E E P R O M は、情報を記録するためのメモリセル部に浮遊ゲート電極及び制御ゲート電極を備えた複数個のセルトランジスタと、セルトランジスタを制御・選択するためのセレクトトランジスタの 2 種類のトランジスタを有している。さらに実用的なフラッシュ E E P R O M では論理演算回路などの周辺回路部のトランジスタも同一基板上に形成される。

【0003】

このようなフラッシュ E E P R O M のうち、図 1 5 に示すような、情報の記録／読み出しを行うためのデータ線にセルトランジスタが所定数毎に並列に接続さ

れ、それらと直列にセレクトトランジスタが接続された構成のものが知られている。図 15 に示すような構成のフラッシュ E E P R O M は、メモリセル部に対するアクセス速度はそれほど速くないが、デバイス面積が小さく、製造工程も比較的少なくて済むため、高集積化及び低コスト化が要求される、例えば、I C カード用の記憶装置として用いられている。

#### 【0004】

以下では、図 15 に示す構成のフラッシュ E E P R O M を例にして従来の半導体記憶装置の構造や製造方法について説明する。図 15 はフラッシュ E E P R O M のメモリセル部の一構成例を示す回路図であり、図 16 は図 15 に示したフラッシュ E E P R O M の構造を示す平面図である。

#### 【0005】

図 15 に示すフラッシュ E E P R O M のメモリセル部は、複数のセルトランジスタ（図 15 では、M101～M164、M201～M264、M301～M364、M401～M464）が格子状に配列された構成である。また、メモリセル部は、データ線（図 15 では D1～D4）と平行な方向にそれぞれ所定数（図 15 では 64 個）のセルトランジスタから成る複数のブロックに分割され、各セルトランジスタのソース及びドレインがブロック毎にそれぞれ共通に接続されている。セルトランジスタの制御ゲート電極は、図 15 に示す横一列毎に、情報の記録位置を選択するためのワード線（W1～W64）に共通に接続されている。

#### 【0006】

また、各ブロックには、並列に接続された所定数のセルトランジスタを選択するためのセレクトトランジスタが 2 個ずつ設けられ、第 1 のセレクトトランジスタ（図 15 では、Q11、Q21、Q31、Q41）はセルトランジスタのドレインとデータ線に設けられたコンタクト（図 15 では、J1～J4）間に挿入され、第 2 のセレクトトランジスタ（図 15 では、Q12、Q22、Q32、Q42）はセルトランジスタのソースとコモンソース（C S：接地電位）間に挿入されている。なお、各ブロックの第 1 のセレクトトランジスタのゲート電極はそれぞれ第 1 の選択ゲート線（S G 1）に共通に接続され、第 2 のセレクトトランジスタのゲート電極はそれぞれ第 2 の選択ゲート線（S G 2）に共通に接続されて

いる。

【0007】

図16に示すように、メモリセル部を構成する各ブロックはフィールド酸化膜によってそれぞれ分離されている。また、セルトランジスタ（図16では、M101～M164、M201～M264）のソース領域（S）及びドレイン領域（D）はブロック毎にそれぞれ共通に形成され、それらは所定数のセルトランジスタを並列に接続するための配線材としても用いられている。

【0008】

また、セルトランジスタのソース領域及びドレイン領域上には、それらと交差するようにして浮遊ゲート電極（不図示）及び制御ゲート電極が所定間隔毎に配置され、制御ゲート電極は図16の横一列毎にそれぞれ共通に接続されてワード線としても用いられている。このソース領域とドレイン領域に挟まれた制御ゲート電極直下の領域が電流の流れるチャネル領域となる。

【0009】

セルトランジスタのドレイン領域の一端は、第1のセレクトトランジスタ（図16では、Q11、Q21）のソース領域（S）に接続され、第1の選択ゲート線（SG1）を挟んで対向する位置に第1のセレクトトランジスタのドレイン領域（D）が形成される。第1のセレクトトランジスタのドレイン領域には、データ線と接続するためのコンタクト（図16では、J1、J2）が設けられている。なお、図16では第2のセレクトトランジスタが図示されていないが、セルトランジスタのソース領域の一端に第1のセレクトトランジスタと同様の構成で形成される。

【0010】

このような構成において、情報の記録／消去する場合は、所定の電圧が印加されたデータ線とワード線の交差する位置のセルトランジスタが選択され、選択されたセルトランジスタの浮遊ゲート電極への電荷の出入りによって情報の書込み／消去が行われる。また、浮遊ゲート電極に電荷が取り込まれることによるしきい値電圧の変化を検出することでセルトランジスタに記録された情報の読み出しを行う。

## 【 0 0 1 1 】

次に、図 1 5 及び図 1 6 に示したフラッシュ E E P R O M の従来の製造方法について、図 1 7 ～図 2 4 を用いて説明する。

## 【 0 0 1 2 】

図 1 7 ～図 2 4 は、図 1 5 及び図 1 6 に示した半導体装置の従来の製造方法の手順を示す断面図である。なお、図 1 7 ～図 2 4 に示したセレクトトランジスタの構造は、図 1 6 に示した平面図の A - A ' 線断面を示したものであり、セルトランジスタの構造は、図 1 6 に示した平面図の B - B ' 線断面を示したものである。

## 【 0 0 1 3 】

まず、p 型半導体から成る基板 1 0 1 上にシリコン窒化膜 ( S i <sub>3</sub> N <sub>4</sub> ) を形成し、所定の形状にパターニングしてその開口部を選択酸化し、素子を分離するための非活性領域であるフィールド酸化膜 1 0 6 を形成する。続いて、熱酸化法により基板 1 0 1 の表面にセレクトトランジスタのゲート絶縁膜 1 0 2 a 、及びセルトランジスタのトンネリング酸化膜 1 0 2 b をそれぞれ成膜する。このとき、セレクトトランジスタには高耐圧が要求されるため、以下のようなマルチ酸化を行う。まず、所望の膜厚よりも薄く酸化膜が形成されるように基板 1 0 1 の表面を熱酸化する。このときの膜厚は、後でさらにセルトランジスタのトンネリング酸化膜 1 0 2 b を形成する際に増加する分を差し引いた厚さにする。次に、フォトレジストをセレクトトランジスタ部に形成してセルトランジスタ部の酸化膜をエッチング除去する。続いて、フォトレジストを除去し、セルトランジスタ部の酸化膜が所望の膜厚になるように熱酸化を行い、セレクトトランジスタのゲート絶縁膜 1 0 2 a とセルトランジスタのトンネリング酸化膜 1 0 2 b をそれぞれ所望の膜厚で成膜する ( 図 1 7 ) 。

## 【 0 0 1 4 】

次に、これらの上にセルトランジスタの浮遊ゲート電極となる第 1 の N 型ポリシリコン膜 1 0 3 を成膜し、その上にパッド酸化膜 1 0 4 を C V D ( C h e m i c a l V a p o r D e p o s i t i o n ) 法によって成膜し、さらにその上に第 2 の N 型ポリシリコン膜 1 0 5 を成膜する。なお、第 2 の N 型ポリシリコン膜 1 0 5 は後工程のイオン



注入時にマスクとして使用するものであるため、アモルファスシリコン膜またはシリコン窒化膜を代わりに成膜してもよい。続いて、第1のN型ポリシリコン膜103、パッド酸化膜104、及び第2のN型ポリシリコン膜105をそれぞれ所定の形状にパターニングする。このとき形成した第1のN型ポリシリコン膜103の幅がセルトランジスタとセレクトトランジスタのチャンネル幅をそれぞれ決定する(図18)。

#### 【0015】

次に、第2のN型ポリシリコン膜105をマスクとして用い、例えば、砒素(As)などの不純物を基板101にイオン注入し、熱拡散させてセルトランジスタとセレクトトランジスタのソース領域107及びドレイン領域108をそれぞれ形成する(図19)。

#### 【0016】

続いて、第1のN型ポリシリコン膜103、パッド酸化膜104、及び第2のN型ポリシリコン膜105の側面を埋めるようにしてプラズマCVD法によりシリコン酸化膜( $\text{SiO}_2$ )から成る拡散層上酸化膜109を成膜する(図20)。

#### 【0017】

次に、CMP (Chemical Mechanical Polishing) 法とエッチバック法により拡散層上酸化膜109の上面を平坦化し、第2のN型ポリシリコン膜105を現出させる。このとき、拡散層上酸化膜109の埋め込まれ方によってはCMPを行わずにエッチバックだけを行ってもよい。さらに、第2のN型ポリシリコン膜105及びパッド酸化膜104をそれぞれエッチング除去し、第1のN型ポリシリコン膜103の表面を露出させる(図21)。なお、この工程の前に第1のN型ポリシリコン膜103の側面にある拡散層上酸化膜109の高さを調整するためのエッチング工程を行ってもよい。

#### 【0018】

次に、第1のN型ポリシリコン膜103上にセルトランジスタの浮遊ゲート電極の上部となる第3のN型ポリシリコン膜110を成膜し、セルトランジスタ部にフォトリジストを形成して、セレクトトランジスタ部の第1のN型ポリシリコ

ン膜 103 及び第 3 の N 型ポリシリコン膜 110 にそれぞれリン (P) などの不純物をイオン注入する。続いて、浮遊ゲート電極と後工程で形成する制御ゲート電極間の容量を大きくするためにセルトランジスタ部の第 3 の N 型ポリシリコン膜 110 をウイング状にパターニングし、その上に ONO (Oxide Nitride Oxide) 膜 111 を CVD 法で成膜する (図 22)。

#### 【0019】

次に、セレクトトランジスタ部の ONO 膜 111 に開口部 114 を設け (図 23)、セレクトトランジスタのゲート電極、及びセルトランジスタの制御ゲート電極となる第 4 の N 型ポリシリコン膜 112 及び金属シリサイド膜 (例えば、W Si) 113 を ONO 膜 111 上に成膜する。このようにすることで、セレクトトランジスタ部の第 1 の N 型ポリシリコン膜 103 と第 4 の N 型ポリシリコン膜 112 が開口部 114 を介して短絡される。

#### 【0020】

続いて、セレクトトランジスタ部及び周辺回路部をそれぞれフォトレジストで覆い、セルトランジスタのコントロールゲート、ONO 膜 111、フローティングゲートを同時にパターニングする。最後に、セルトランジスタ部をフォトレジストで覆い、セレクトトランジスタ及び周辺回路のトランジスタのゲート電極 (第 4 の N 型ポリシリコン膜 112 及び金属シリサイド膜 113) をパターニングする (図 24)。なお、金属シリサイド膜 113 は、必ずしも設ける必要はなく、第 4 の N 型ポリシリコン膜 112 だけを成膜してもよい。また、図 23 及び図 24 では、セレクトトランジスタ部のチャネル領域の直上で ONO 膜 111 に開口部 114 が設けられているが、実際の開口部 114 はフィールド酸化膜 106 上で ONO 膜 111 に設けられる。

#### 【0021】

#### 【発明が解決しようとする課題】

上記したような従来の半導体記憶装置では、セレクトトランジスタとセルトランジスタが同様の構造であるため、耐圧が異なるセルトランジスタのトンネリング酸化膜とセレクトトランジスタのゲート絶縁膜の膜厚を変えるための工程や、セレクトトランジスタの第 1 の N 型ポリシリコン膜 (セルトランジスタの浮遊ゲ

ートに相当する)と第4のポリシリコン膜(セルトランジスタの制御ゲートに相当する)を短絡する工程が必要になり、製造工程が増えてコストが増大するという問題があった。

#### 【0022】

また、セレクトトランジスタのゲート電極に用いるポリシリコン膜の不純物濃度は抵抗を小さくして高速化するために濃くすることが望ましく、セルトランジスタの浮遊ゲート電極に用いるポリシリコン膜の不純物濃度は情報の消去不良や保持性能を向上させるために薄くすることが望ましいため、これらの不純物濃度を変えるための工程が必要になる。

#### 【0023】

このような問題を解決するため、例えば、セレクトトランジスタをセルトランジスタと同時に形成するのではなく、周辺回路部のトランジスタと同時に製造する方法が考えられる。

#### 【0024】

しかしながら、周辺回路部のトランジスタは、一般に、セレクトトランジスタよりもチャネル幅を正確に管理する必要があるため、ゲート電極形成後に、それをマスクとしてイオン注入が行われ、ソース領域及びドレイン領域となる拡散層が形成される。したがって、セレクトトランジスタの拡散層をセルトランジスタの拡散層と同時に形成することができないため、図25(a)に示すように、配線材としても用いられるセレクトトランジスタとセルトランジスタの拡散層の接続部に不純物が二重に注入されて耐圧が劣化したり、図25(b)に示すように不純物の未注入領域ができて接続が切れてしまうおそれがある。

#### 【0025】

本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、セレクトトランジスタのゲート絶縁膜の厚膜化や、セレクトトランジスタのゲート電極に用いるポリシリコン膜の不純物濃度の高濃度化を、少ない製造工程数で実現できる半導体記憶装置の製造方法を提供することを目的とする。

#### 【0026】

【課題を解決するための手段】

上記目的を達成するため本発明の半導体記憶装置の製造方法は、浮遊ゲート電極及び制御ゲート電極を備えた、情報を記録するための複数のセルトランジスタと、

前記セルトランジスタを制御／選択するためのセレクトトランジスタとを有する、電氣的に情報の書込み／消去が可能な半導体記憶装置の製造方法であって、

前記セルトランジスタの前記制御ゲートを形成する前に、該セルトランジスタと同一の工程で製造された前記セレクトトランジスタのチャンネル領域直上の基板表面を露出させ、

該露出された基板表面に前記セレクトトランジスタのゲート絶縁膜を形成し、

前記セルトランジスタの前記制御ゲート電極を形成すると共に、該ゲート絶縁膜上に前記セレクトトランジスタのゲート電極を形成する方法である。

【0027】

このとき、前記セルトランジスタのソース領域及びドレイン領域となる第1の拡散層と、前記セレクトトランジスタのソース領域及びドレイン領域となる第2の拡散層とを同時に形成してもよい。

【0028】

また、論理演算回路からなる周辺回路部のトランジスタのゲート絶縁膜を前記セレクトトランジスタのゲート絶縁膜と同時に形成し、

前記周辺回路部のトランジスタのゲート電極を前記セレクトトランジスタのゲート電極と同時に形成してもよく、

前記セレクトトランジスタのゲート絶縁膜の膜厚を、

前記周辺回路部のうちの高耐圧が要求されるトランジスタのゲート絶縁膜と等しくしてもよい。

【0029】

一方、本発明の半導体記憶装置は、浮遊ゲート電極及び制御ゲート電極を備えた、情報を記録するための複数のセルトランジスタと、

前記セルトランジスタを制御／選択するためのセレクトトランジスタとを有する、電氣的に情報の書込み／消去が可能な半導体記憶装置であって、

前記セレクトトランジスタのゲート電極に 1 層のポリシリコン膜を有し、  
該セレクトトランジスタのゲート電極と、前記セルトランジスタの前記制御ゲート電極が同時に形成されたものである。

【 0 0 3 0 】

このとき、前記セルトランジスタのソース領域及びドレイン領域となる第 1 の拡散層と、前記セレクトトランジスタのソース領域及びドレイン領域となる第 2 の拡散層とが同時に形成されたものであってもよい。

【 0 0 3 1 】

また、論理演算回路からなる周辺回路部のトランジスタのゲート絶縁膜が前記セレクトトランジスタのゲート絶縁膜と同時に形成され、

前記周辺回路部のトランジスタのゲート電極が前記セレクトトランジスタのゲート電極と同時に形成されたものであってもよく、

前記セレクトトランジスタのゲート絶縁膜の膜厚が、

前記周辺回路部のうちの高耐圧が要求されるトランジスタのゲート絶縁膜と等しいものであってもよい。

【 0 0 3 2 】

上記のような半導体記憶装置の製造方法及び半導体記憶装置では、セレクトトランジスタのゲート電極のポリシリコン膜が 1 層になるため、従来のように 2 つのポリシリコン膜を短絡する工程やセルトランジスタの浮遊ゲート電極に相当するポリシリコン膜の抵抗を小さくするための不純物注入工程が不要になる。

【 0 0 3 3 】

【発明の実施の形態】

次に本発明について図面を参照して説明する。

【 0 0 3 4 】

本実施形態の半導体記憶装置の製造方法は、従来と同様にセレクトトランジスタとセルトランジスタを同時に形成する。また、セルトランジスタの制御ゲートを形成する前に、セレクトトランジスタのチャネル領域直上に在るポリシリコン膜や酸化膜を、一旦、全て取り去って基板表面を露出させ、その後、あらためて、セレクトトランジスタのゲート絶縁膜を形成し、その上にゲート電極をセルト

ランジスタの制御ゲート電極と同時に形成する方法である。なお、本実施形態の製造方法を適用するフラッシュ E E P R O M の回路構成及び平面構造は従来と同様であるため、その説明は省略する。

【 0 0 3 5 】

まず、本発明の半導体装置の製造方法について図 1 ～ 図 8 を参照して説明する。図 1 ～ 図 8 は、本発明の半導体装置の製造方法のうち、セルトランジスタ及びセレクトトランジスタの製造手順を示す断面図である。

【 0 0 3 6 】

まず、p 型半導体から成る基板 1 上にシリコン窒化膜を形成し、所定の形状にパターニングしてその開口部を選択酸化し、素子を分離するための非活性領域であるフィールド酸化膜 6 を形成する。なお、素子分離領域は、シャロー・トレンチ・アイソレーション ( S T I ) であってもよい。

【 0 0 3 7 】

続いて、熱酸化法により基板 1 の表面にシリコン酸化膜 (  $S i O_2$  ) を成膜する。ここで、セレクトトランジスタ部に形成されたシリコン酸化膜 2 a は、後工程で除去される。また、セルトランジスタ部に形成されたシリコン酸化膜はトンネリング酸化膜 2 b となる。

【 0 0 3 8 】

次に、シリコン酸化膜 2 a 及びトンネリング酸化膜 2 b 上にセルトランジスタの浮遊ゲート電極となる第 1 の N 型ポリシリコン膜 3 をそれぞれ成膜し、その上にパッド酸化膜 4 を C V D 法によって成膜し、さらにその上に第 2 の N 型ポリシリコン膜 5 を成膜する。なお、第 2 の N 型ポリシリコン膜 5 は後工程のイオン注入時にマスクとして使用するものであるため、アモルファスシリコンまたはシリコン窒化膜を代わりに成膜してもよい。

【 0 0 3 9 】

続いて、第 1 の N 型ポリシリコン膜 3、パッド酸化膜 4、及び第 2 の N 型ポリシリコン膜 5 をそれぞれ所定の形状にパターニングする。このとき形成した第 1 の N 型ポリシリコン膜 3 の幅がセルトランジスタとセレクトトランジスタのチャネル幅をそれぞれ決定する ( 図 1 ) 。

## 【 0 0 4 0 】

次に、第 2 の N 型ポリシリコン膜 5 をマスクとして用い、例えば、砒素 (As) などの不純物を基板 1 にイオン注入し、熱拡散させてセルトランジスタとセレクトトランジスタのソース領域 7 及びドレイン領域 8 をそれぞれ形成する (図 2)。このとき、第 1 の N 型ポリシリコン膜 3、パッド酸化膜 4、及び第 2 の N 型ポリシリコン膜 5 の側面に絶縁膜によってサイドウォールを形成し、N 型拡散層から成るソース領域 7 及びドレイン領域 8 を LDD (Lightly Doped Drain) 構造にしてもよい。

## 【 0 0 4 1 】

次に、第 1 の N 型ポリシリコン膜 3、パッド酸化膜 4、及び第 2 の N 型ポリシリコン膜 5 の側面を埋めるようにしてプラズマ CVD 法によりシリコン酸化膜からなる拡散層上酸化膜 9 を基板表面に成膜する。なお、本工程の前にセルトランジスタの第 1 の N 型ポリシリコン膜 3、パッド酸化膜 4、及び第 2 の N 型ポリシリコン膜 5 の側面は信頼性の高い熱酸化膜などで覆っておく。また、サイドウォールを形成する場合はその前に同様の熱酸化膜で覆っておく。これは、セルトランジスタの浮遊ゲート電極である第 1 の N 型ポリシリコン膜 3 から拡散層上酸化膜 9 に電荷が漏れ出し、情報の保持性能が低下することを防止するための処理である。続いて、CMP とエッチバック法により拡散層上酸化膜 9 の上面を平坦化し、第 2 の N 型ポリシリコン膜 5 を現出させる (図 3)。このとき、拡散層上酸化膜 9 の埋め込まれ方によっては CMP を行わずにエッチバックだけを行ってもよい。

## 【 0 0 4 2 】

次に、第 2 の N 型ポリシリコン膜 5 及びパッド酸化膜 4 をそれぞれエッチング除去し、第 1 の N 型ポリシリコン膜 3 の表面を露出させる (図 4)。なお、この工程の前に第 1 の N 型ポリシリコン膜 3 の側面にある拡散層上酸化膜 9 の高さを調整するためのエッチング工程を行ってもよい。

## 【 0 0 4 3 】

次に、第 1 の N 型ポリシリコン膜 3 上にセルトランジスタの浮遊ゲート電極の上部となる第 3 の N 型ポリシリコン膜 10 を成膜し、浮遊ゲート電極と後工程で

形成する制御ゲート電極間の容量を大きくするためにセルトランジスタ部の第3のN型ポリシリコン膜10をウイング状にパターニングする。さらに、第3のN型ポリシリコン膜10上にONO膜11をCVD法で成膜する(図5)。

#### 【0044】

続いて、セレクトトランジスタ部のONO膜11、第3のN型ポリシリコン膜10、第1のN型ポリシリコン膜3、及びシリコン酸化膜2をそれぞれエッチング除去し、基板1の表面を露出させる(図6)。

#### 【0045】

次に、セレクトトランジスタ部の基板1の表面を熱酸化させてゲート絶縁膜14を形成し(図7)、セレクトトランジスタのゲート電極、及びセルトランジスタの制御ゲート電極となる第4のN型ポリシリコン膜12を、ゲート絶縁膜14及びONO膜11上にそれぞれ成膜し、その上に金属シリサイド膜(例えば、W Si)13を成膜する。

#### 【0046】

続いて、セレクトトランジスタ部及び周辺回路部をそれぞれフォトレジストで覆い、セルトランジスタのコントロールゲート、ONO膜11、フローティングゲートを同時にパターニングする。最後に、セルトランジスタ部をフォトレジストで覆い、セレクトトランジスタ及び周辺回路のトランジスタのゲート電極(第4のN型ポリシリコン膜12、金属シリサイド膜13)をパターニングする(図8)。なお、金属シリサイド膜13は、必ずしも設ける必要はなく、第4のN型ポリシリコン膜12だけを成膜してもよい。

#### 【0047】

したがって、本実施形態の半導体装置の製造方法によれば、セレクトトランジスタのソース領域及びドレイン領域であるN型拡散層とセルトランジスタのソース領域及びドレイン領域であるN型拡散層を同時に形成しているため、セレクトトランジスタとセルトランジスタの接続部が切断したり、不純物が二重に注入されることがない。また、セレクトトランジスタのゲート電極は、従来のように二層構造のN型ポリシリコン膜を有していないため、2つのN型ポリシリコン膜を短絡させるための工程や、セルトランジスタの浮遊ゲート電極に相当する第1の



N型ポリシリコン膜の抵抗を小さくするための不純物注入工程をなくすることができる。

【0048】

よって、セレクトトランジスタのゲート絶縁膜の厚膜化や、セレクトトランジスタのゲート電極に用いるポリシリコン膜の不純物濃度の高濃度化を、少ない製造工程で実現できる。

【0049】

ところで、上述したセルトランジスタ及びセレクトトランジスタと同時に周辺回路部のトランジスタを製造する場合、周辺回路部のトランジスタの製造工程は以下のようなになる。

【0050】

図9～図14は、本発明の半導体装置の製造方法のうち、周辺回路部のトランジスタの製造手順を示す断面図である。

【0051】

まず、図1に示したセルトランジスタ及びセレクトトランジスタの製造工程と同時に、p型半導体から成る基板1上にシリコン窒化膜を形成し、所定の形状にパターニングしてその開口部を選択酸化し、素子を分離するための非活性領域であるフィールド酸化膜6を形成する。

【0052】

続いて、熱酸化法により基板1上にシリコン酸化膜( $\text{SiO}_2$ )2a、及び第1のN型ポリシリコン膜3を成膜し、その上にパッド酸化膜4をCVD法によって堆積し、さらにその上に第2のN型ポリシリコン膜5を成膜する(図9)。

【0053】

次に、図4に示した拡散層上酸化膜9の平坦化工程と同時に、第2のN型ポリシリコン膜5及びパッド酸化膜4をそれぞれエッチング除去し、第1のN型ポリシリコン膜3の表面を露出させる(図10)。

【0054】

続いて、図5に示した工程と同時に、第1のN型ポリシリコン膜3上に第3のN型ポリシリコン膜10を堆積し、その上にONO(Oxide Nitride Oxide)膜

11をCVD法により成膜する(図11)。

【0055】

次に、図6に示した工程と同時に、ONO膜11、第3のN型ポリシリコン膜10、第1のN型ポリシリコン膜3、及びシリコン酸化膜2をそれぞれエッチング除去し、基板1の表面を露出させる(図12)。

【0056】

続いて、図7に示した工程と同時に、基板1の表面を熱酸化させ、周辺回路部のトランジスタのゲート絶縁膜を形成する。このとき、周辺回路部のトランジスタのうちの高耐圧が要求される高耐圧トランジスタについては、以下のようなマルチ酸化を行うことで厚膜化する。外部から供給される電源電圧 $V_{cc}$ で動作する $V_{cc}$ 駆動トランジスタについてはゲート絶縁膜15を厚膜化する必要はない。まず、所望の膜厚よりも薄く酸化膜が形成されるように基板1の表面を熱酸化する。このときの膜厚は、後でさらに $V_{cc}$ 駆動トランジスタのゲート絶縁膜15を形成する際に増加する分を差し引いた厚さにする。次に、フォトレジストを高耐圧トランジスタ部に形成して $V_{cc}$ 駆動トランジスタ部の酸化膜をエッチング除去する。続いて、フォトレジストを除去し、 $V_{cc}$ 駆動トランジスタの酸化膜が所望の膜厚になるように熱酸化を行い、 $V_{cc}$ 駆動トランジスタのゲート絶縁膜15と高耐圧トランジスタのゲート絶縁膜16をそれぞれ所望の膜厚で成膜する(図13)。なお、セレクトトランジスタのゲート絶縁膜12は、高耐圧トランジスタと同様に本工程によって厚膜化する。

【0057】

次に、周辺回路部のトランジスタのゲート電極となる第4のN型ポリシリコン膜12及び金属シリサイド膜13をゲート絶縁膜15、16上にそれぞれ成膜して、それぞれパターニングする。最後に、それらをマスクに砒素(As)等の不純物を基板1にイオン注入して熱拡散させ、周辺回路部のトランジスタのソース領域17及びドレイン領域18をそれぞれ形成する(図14)。

【0058】

このように、周辺回路部のトランジスタのゲート絶縁膜及びゲート電極を形成する工程を、図1～図8に示したセルトランジスタ及びセレクトトランジスタの

製造工程と同時に行うことができるため、フラッシュ E E P R O M 全体の製造工程をより削減することができる。

【 0 0 5 9 】

なお、本実施形態では、半導体記憶装置が有する N チャネルトランジスタを例にしてその製造方法を説明しているが、不純物を変えることにより P チャネルトランジスタに適用できることは言うまでもない。

【 0 0 6 0 】

【発明の効果】

本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【 0 0 6 1 】

セレクトトランジスタのゲート電極のポリシリコン膜が 1 層になるため、従来のように 2 つのポリシリコン膜を短絡する工程やセルトランジスタの浮遊ゲート電極に相当するポリシリコン膜の抵抗を小さくするための不純物注入工程が不要になる。したがって、セレクトトランジスタのゲート絶縁膜の厚膜化や、セレクトトランジスタのゲート電極に用いるポリシリコン膜の不純物濃度の高濃度化を、少ない製造工程数で実現できる。

【 0 0 6 2 】

また、セルトランジスタのソース領域及びドレイン領域となる第 1 の拡散層と、セレクトトランジスタのソース領域及びドレイン領域となる第 2 の拡散層とを同時に形成することで、セレクトトランジスタとセルトランジスタの接続部が切断したり、二重に不純物が注入されることがない。

【 0 0 6 3 】

さらに、周辺回路部のトランジスタのゲート絶縁膜をセレクトトランジスタのゲート絶縁膜と同時に形成し、周辺回路部のトランジスタのゲート電極をセレクトトランジスタのゲート電極と同時に形成することで、半導体記憶装置全体の製造工程をより低減することができる。

【図面の簡単な説明】

【図 1】

本発明の半導体装置の製造方法のうち、セルトランジスタ及びセレクトトランジスタの製造手順を示す断面図である。

【図 2】

本発明の半導体装置の製造方法のうち、セルトランジスタ及びセレクトトランジスタの製造手順を示す断面図である。

【図 3】

本発明の半導体装置の製造方法のうち、セルトランジスタ及びセレクトトランジスタの製造手順を示す断面図である。

【図 4】

本発明の半導体装置の製造方法のうち、セルトランジスタ及びセレクトトランジスタの製造手順を示す断面図である。

【図 5】

本発明の半導体装置の製造方法のうち、セルトランジスタ及びセレクトトランジスタの製造手順を示す断面図である。

【図 6】

本発明の半導体装置の製造方法のうち、セルトランジスタ及びセレクトトランジスタの製造手順を示す断面図である。

【図 7】

本発明の半導体装置の製造方法のうち、セルトランジスタ及びセレクトトランジスタの製造手順を示す断面図である。

【図 8】

本発明の半導体装置の製造方法のうち、セルトランジスタ及びセレクトトランジスタの製造手順を示す断面図である。

【図 9】

本発明の半導体装置の製造方法のうち、周辺回路部のトランジスタの製造手順を示す断面図である。

【図 1 0】

本発明の半導体装置の製造方法のうち、周辺回路部のトランジスタの製造手順を示す断面図である。

【図 1 1】

本発明の半導体装置の製造方法のうち、周辺回路部のトランジスタの製造手順を示す断面図である。

【図 1 2】

本発明の半導体装置の製造方法のうち、周辺回路部のトランジスタの製造手順を示す断面図である。

【図 1 3】

本発明の半導体装置の製造方法のうち、周辺回路部のトランジスタの製造手順を示す断面図である。

【図 1 4】

本発明の半導体装置の製造方法のうち、周辺回路部のトランジスタの製造手順を示す断面図である。

【図 1 5】

フラッシュ E E P R O M のメモリセル部の一構成例を示す回路図である。

【図 1 6】

図 1 5 に示したフラッシュ E E P R O M の構造を示す平面図である。

【図 1 7】

図 1 5 及び図 1 6 に示した半導体装置の従来の製造方法の手順を示す断面図である。

【図 1 8】

図 1 5 及び図 1 6 に示した半導体装置の従来の製造方法の手順を示す断面図である。

【図 1 9】

図 1 5 及び図 1 6 に示した半導体装置の従来の製造方法の手順を示す断面図である。

【図 2 0】

図 1 5 及び図 1 6 に示した半導体装置の従来の製造方法の手順を示す断面図である。

【図 2 1】

図 1 5 及び図 1 6 に示した半導体装置の従来の製造方法の手順を示す断面図である。

【図 2 2】

図 1 5 及び図 1 6 に示した半導体装置の従来の製造方法の手順を示す断面図である。

【図 2 3】

図 1 5 及び図 1 6 に示した半導体装置の従来の製造方法の手順を示す断面図である。

【図 2 4】

図 1 5 及び図 1 6 に示した半導体装置の従来の製造方法の手順を示す断面図である。

【図 2 5】

図 1 5 及び図 1 6 に示した半導体装置のセルトランジスタ及びセレクトトランジスタを同時に製造しない場合の接続部の様子を示す模式図である。

【符号の説明】

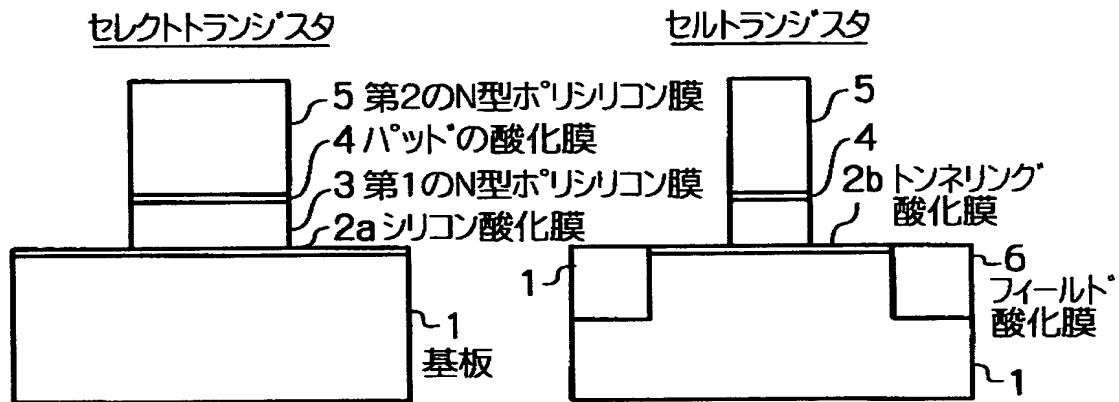
- 1 基板
- 2 a シリコン酸化膜
- 2 b トンネリング酸化膜
- 3 第 1 の N 型ポリシリコン膜
- 4 パッド酸化膜
- 5 第 2 の N 型ポリシリコン膜
- 6 フィールド酸化膜
- 7、1 7 ソース領域
- 8、1 8 ドレイン領域
- 9 拡散層上酸化膜
- 1 0 第 3 のポリシリコン膜
- 1 1 ONO 膜
- 1 2 第 4 の N 型ポリシリコン膜
- 1 3 金属シリサイド膜

特平 1 1 - 2 9 5 8 8 5

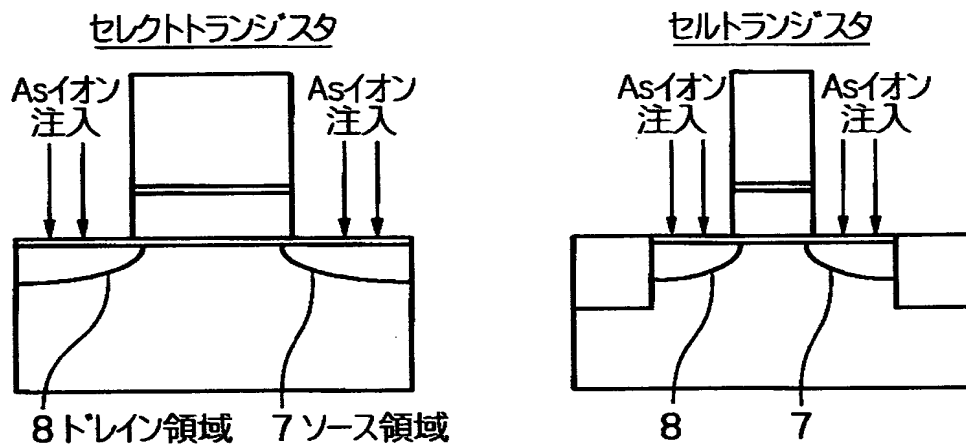
1 4、1 5、1 6      ゲート絶縁膜

【書類名】 図面

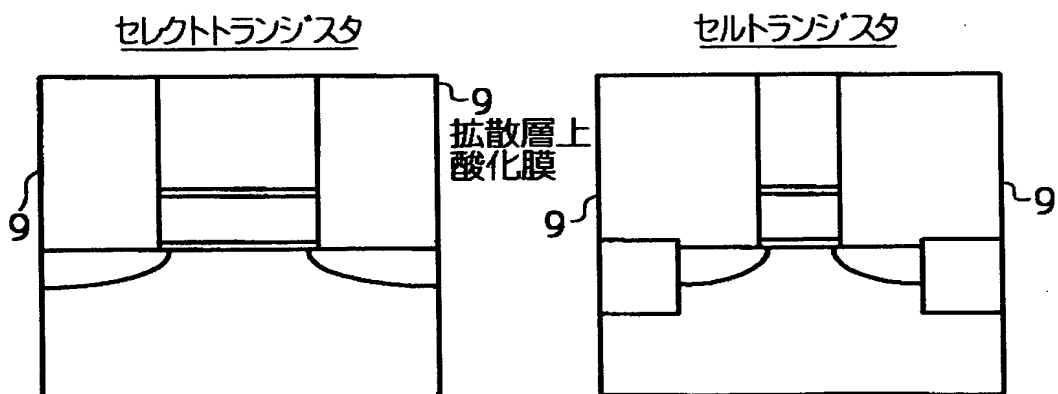
【図 1】



【図 2】

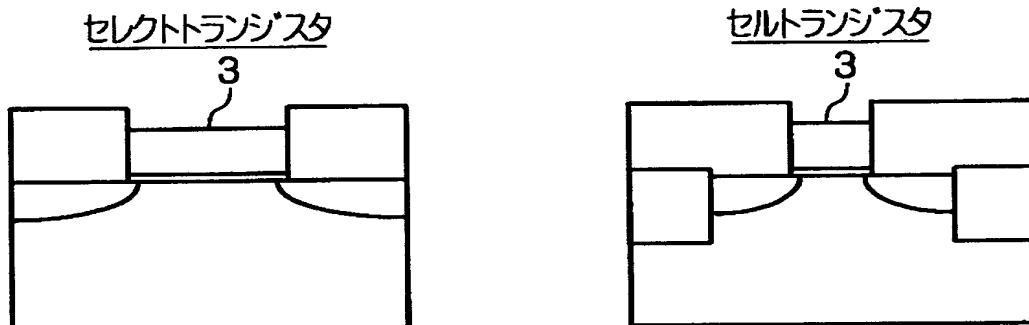


【図 3】

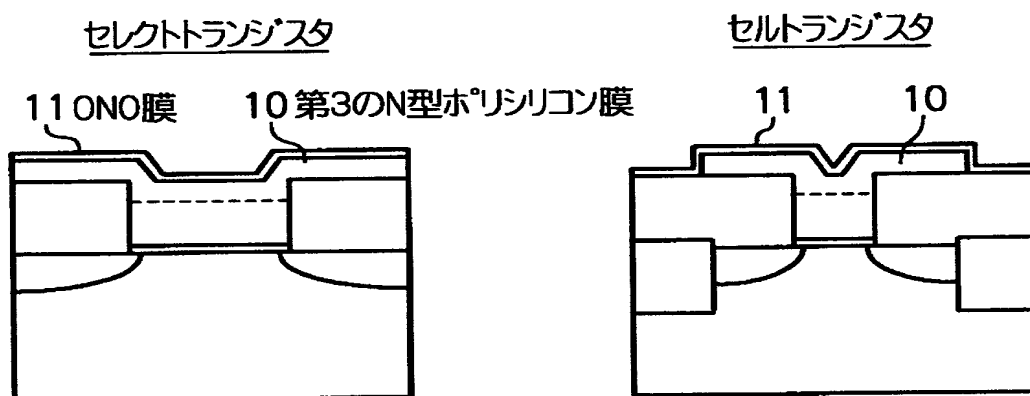




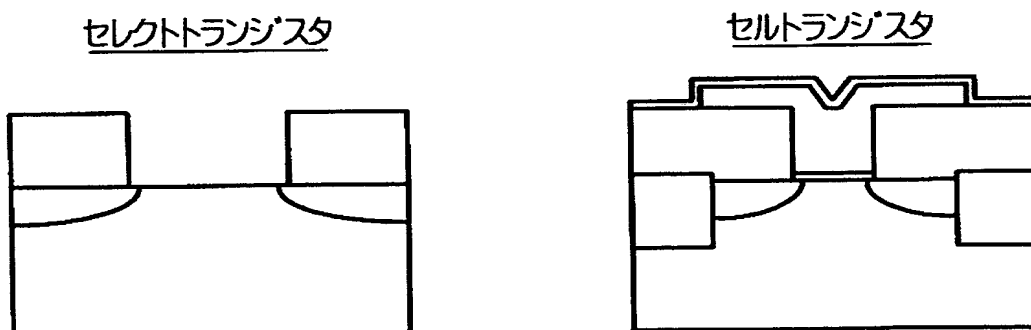
【図 4】



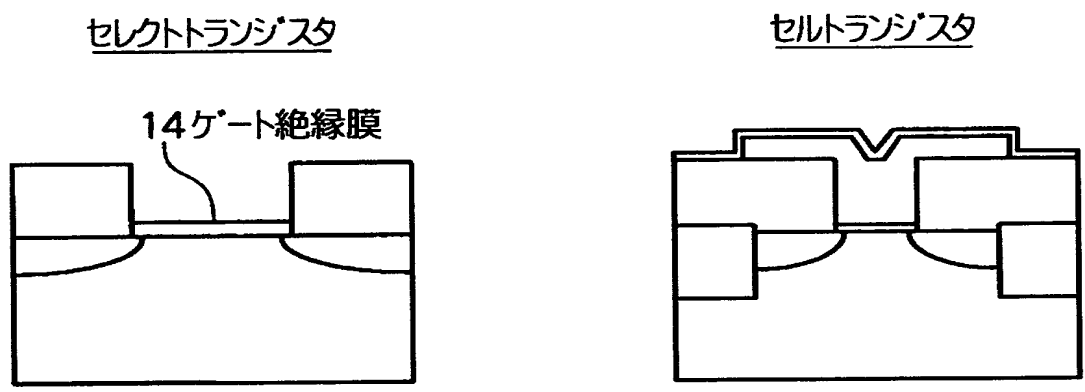
【図 5】



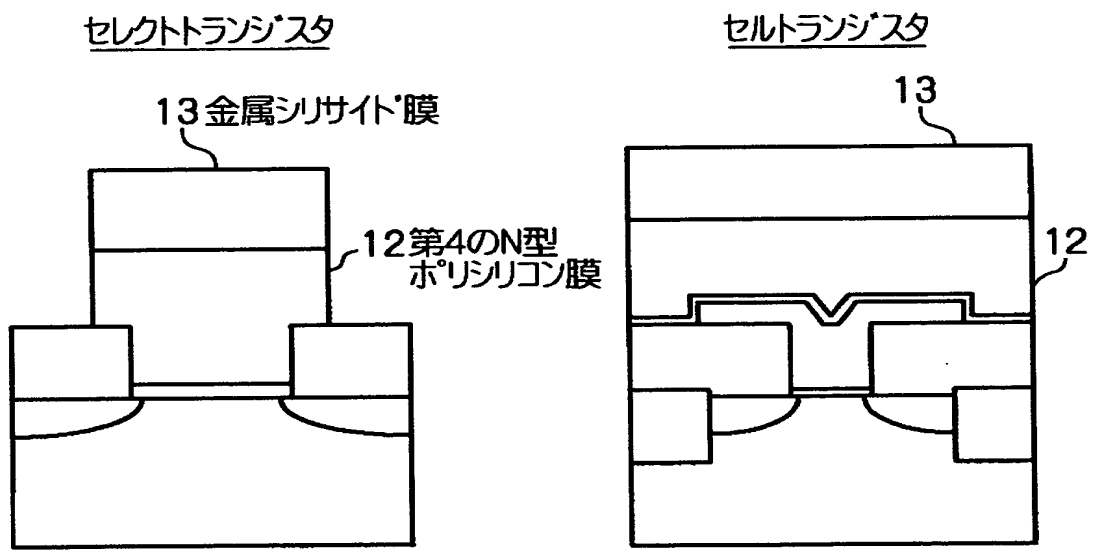
【図 6】



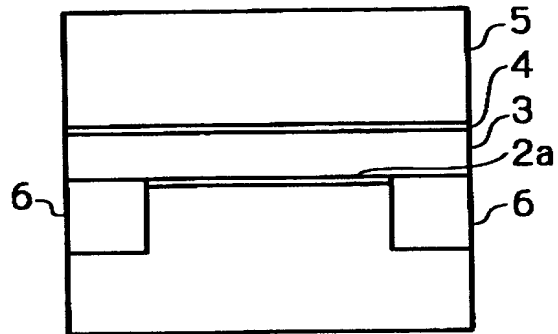
【図 7】



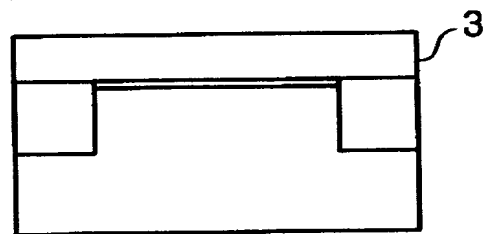
【図 8】



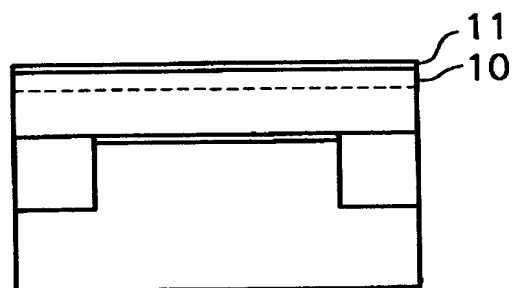
【図 9】



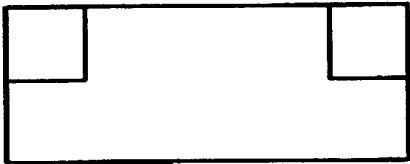
【図 1 0】



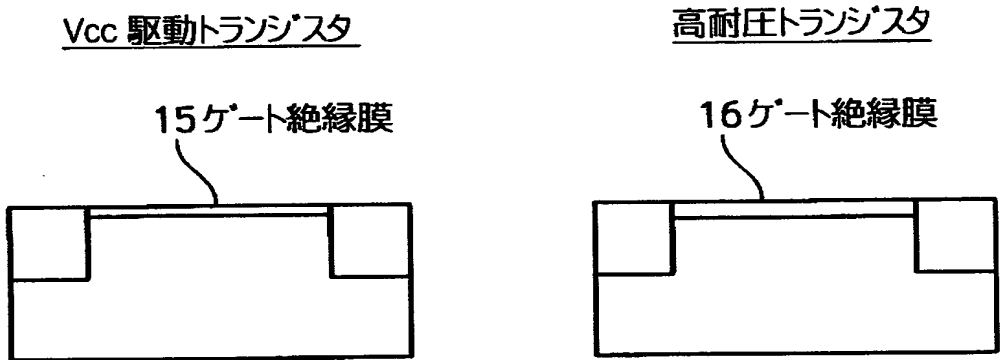
【図 1 1】



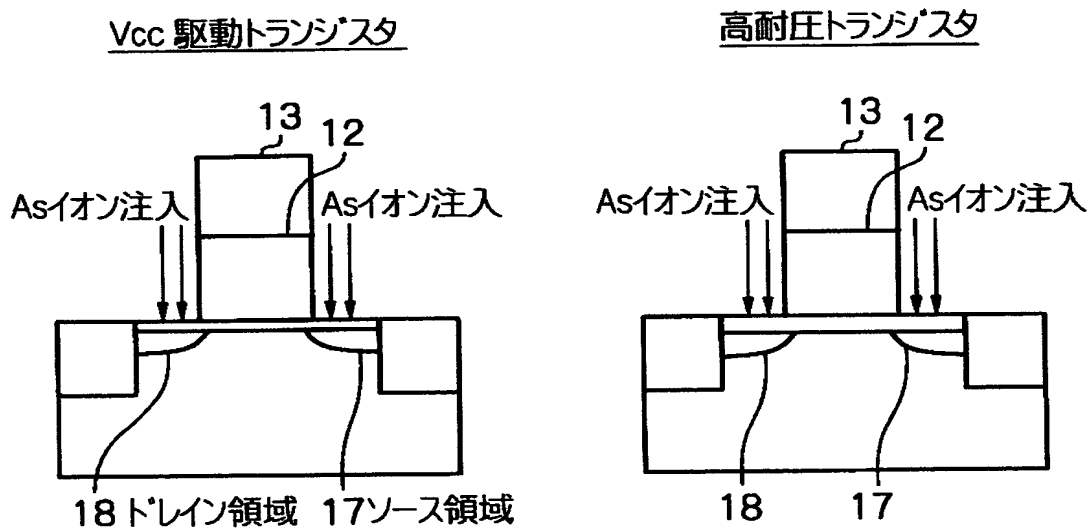
【図 1 2】



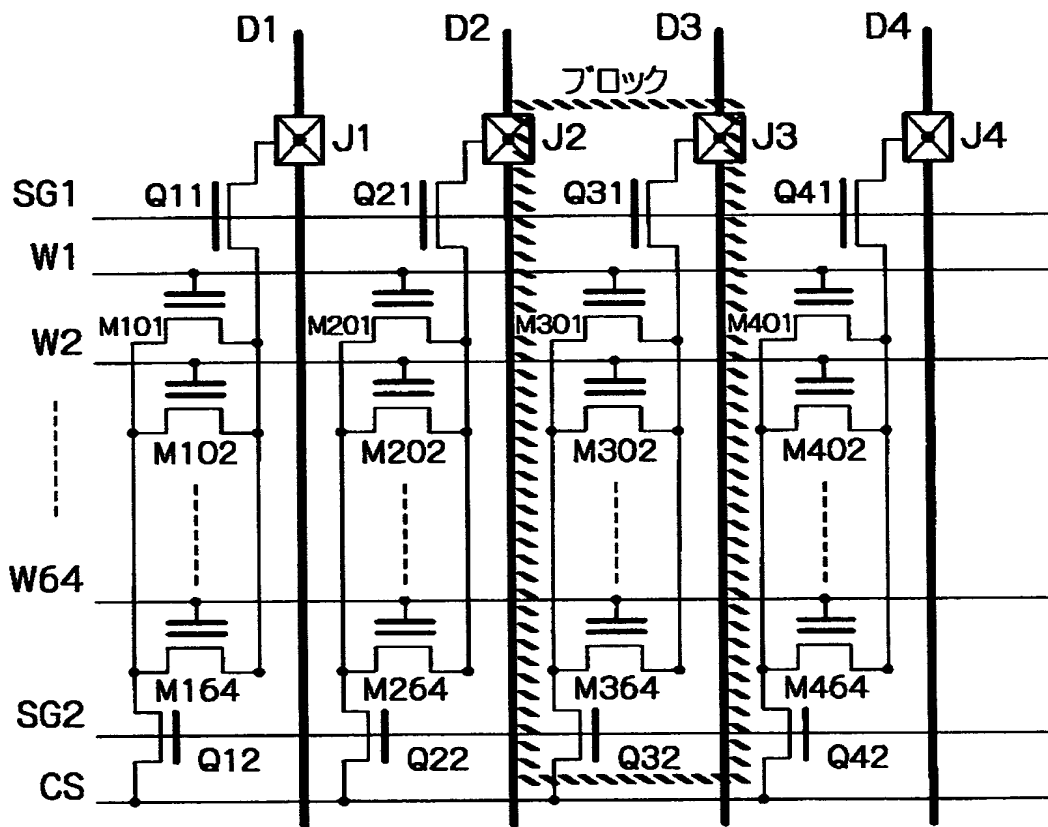
【図 1 3】



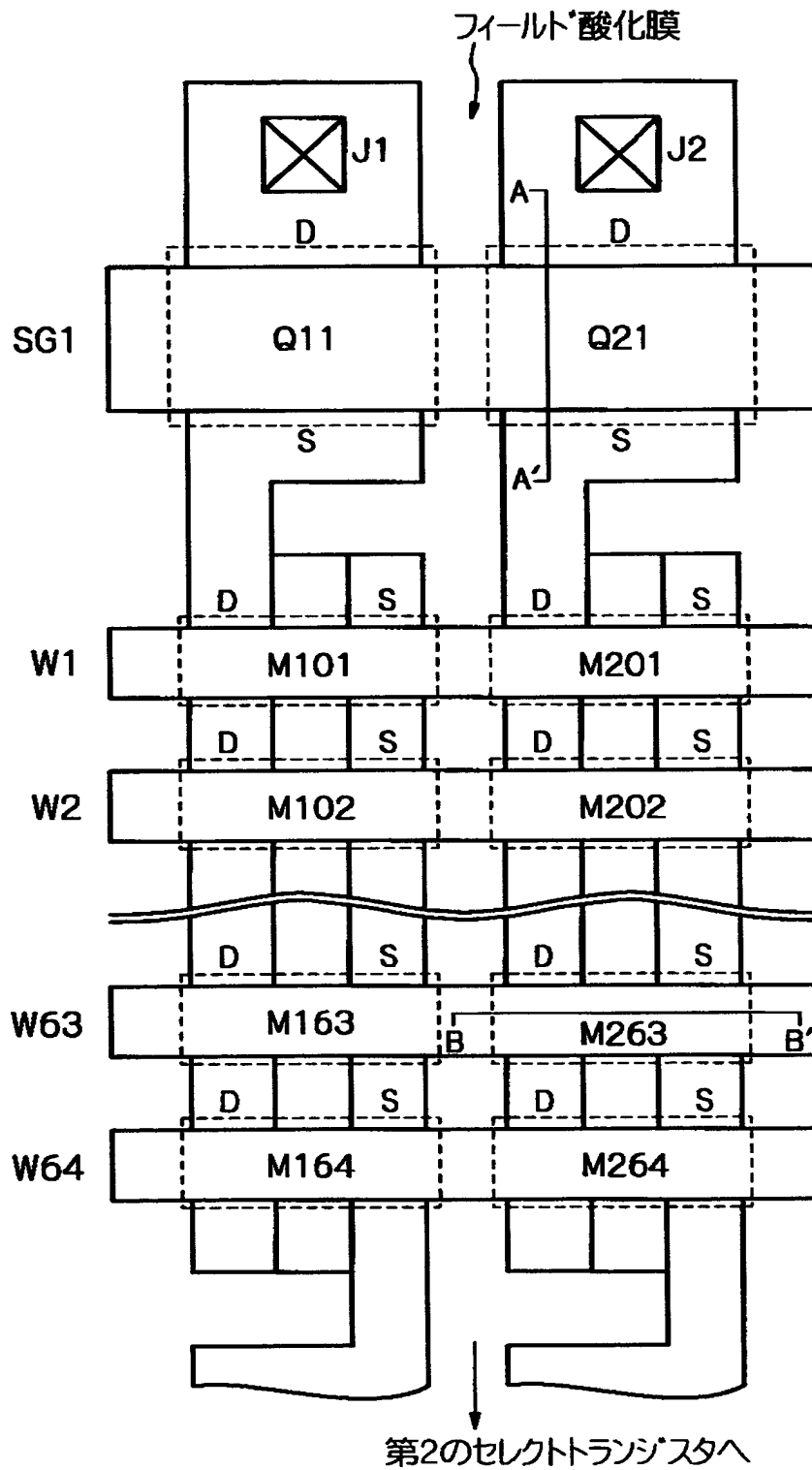
【図 1 4】



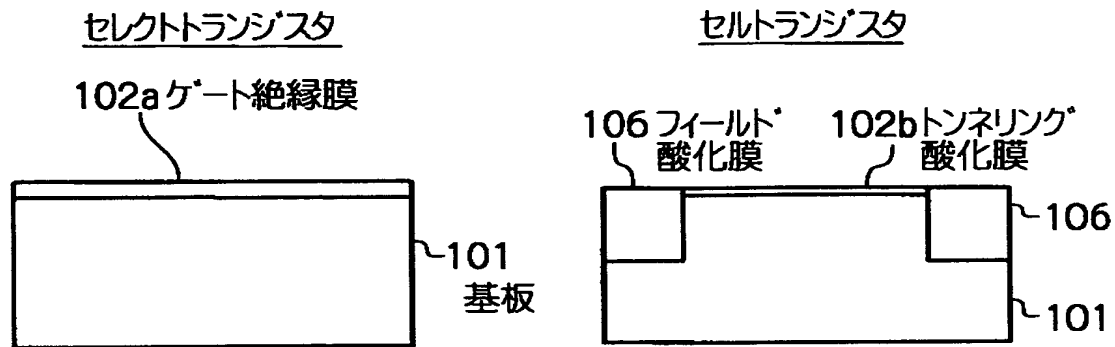
【図 1 5】



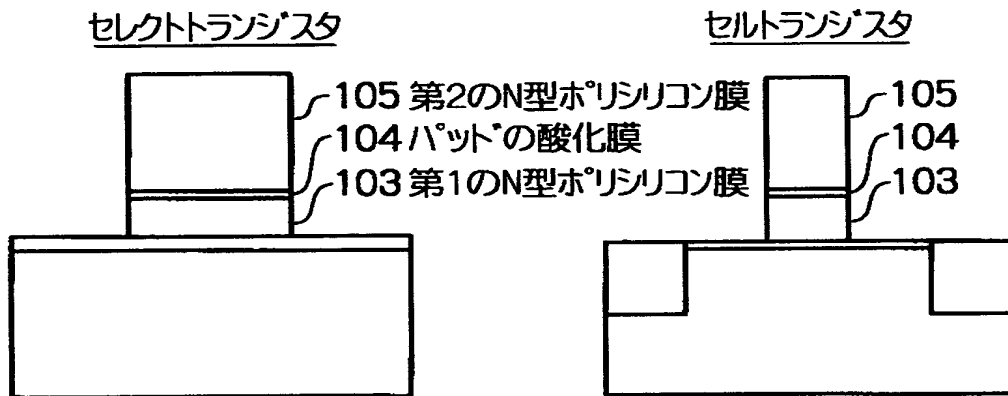
【図 1 6】



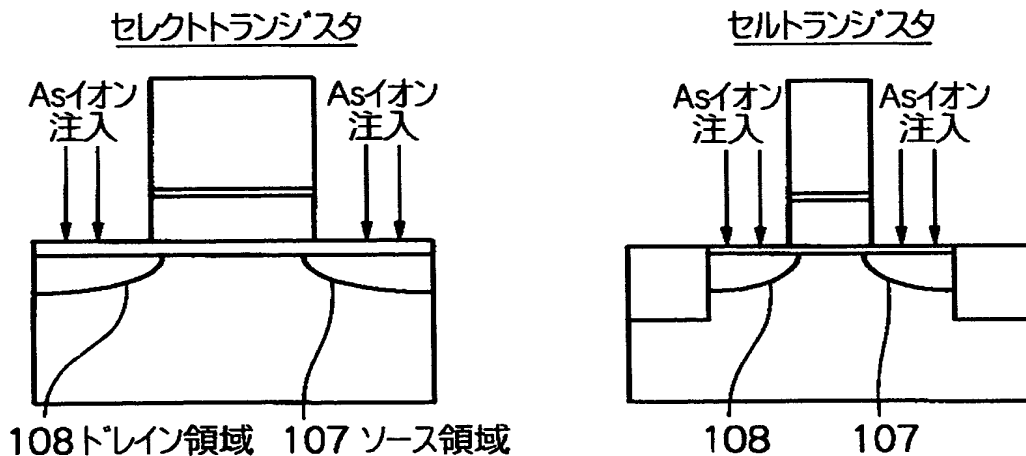
【図 1 7】



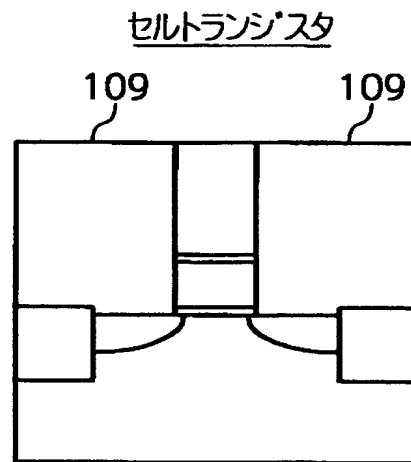
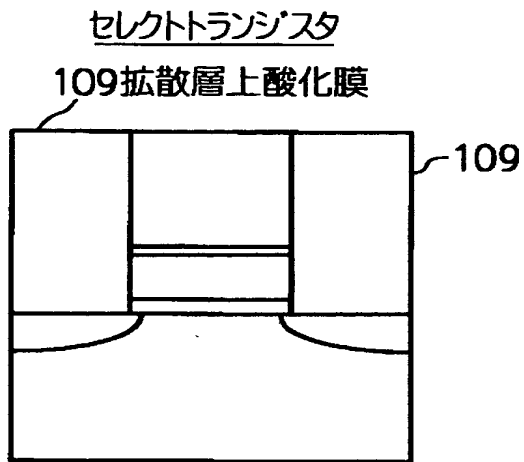
【図 1 8】



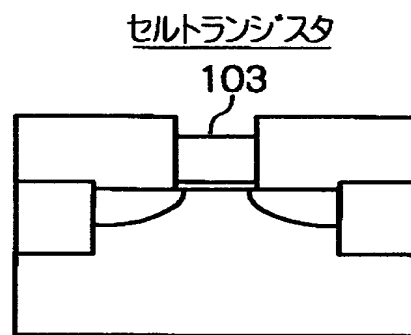
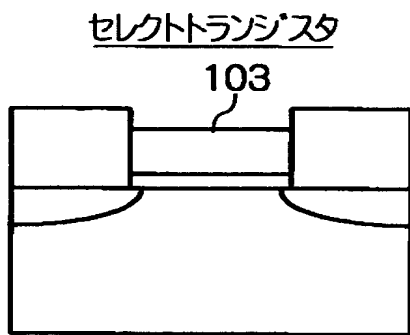
【図 1 9】



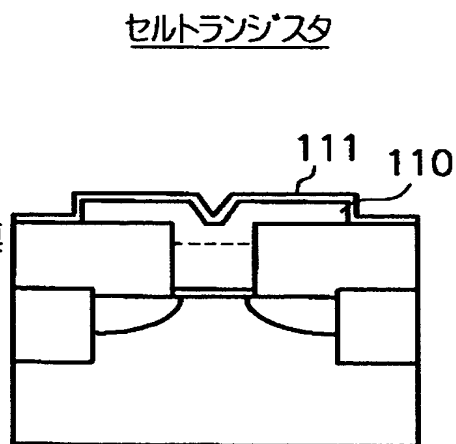
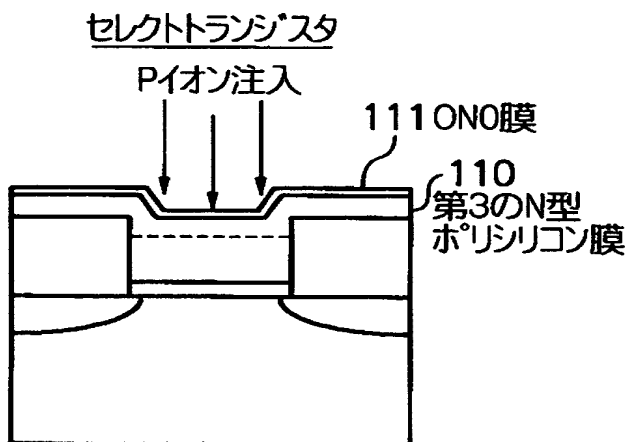
【図 2 0】



【図 2 1】

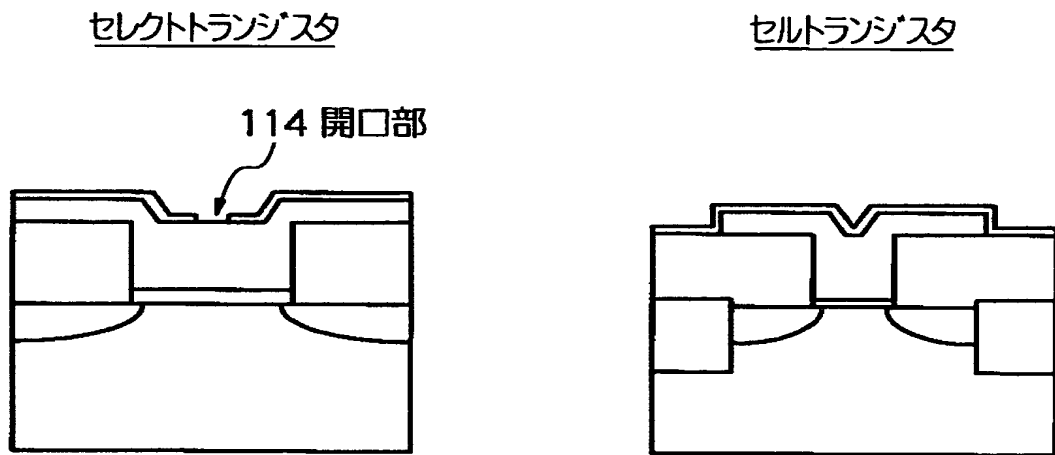


【図 2 2】

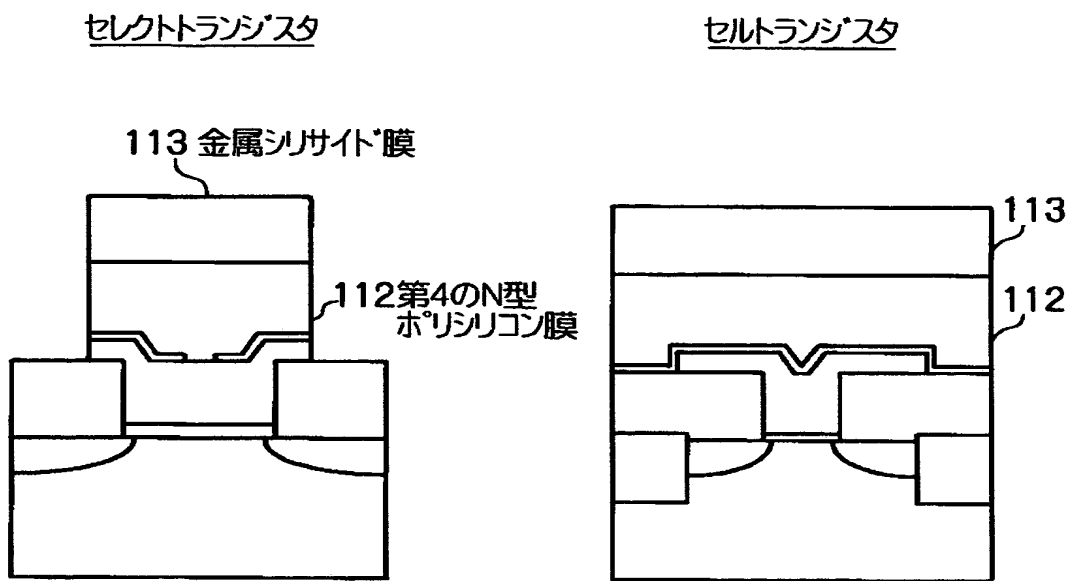




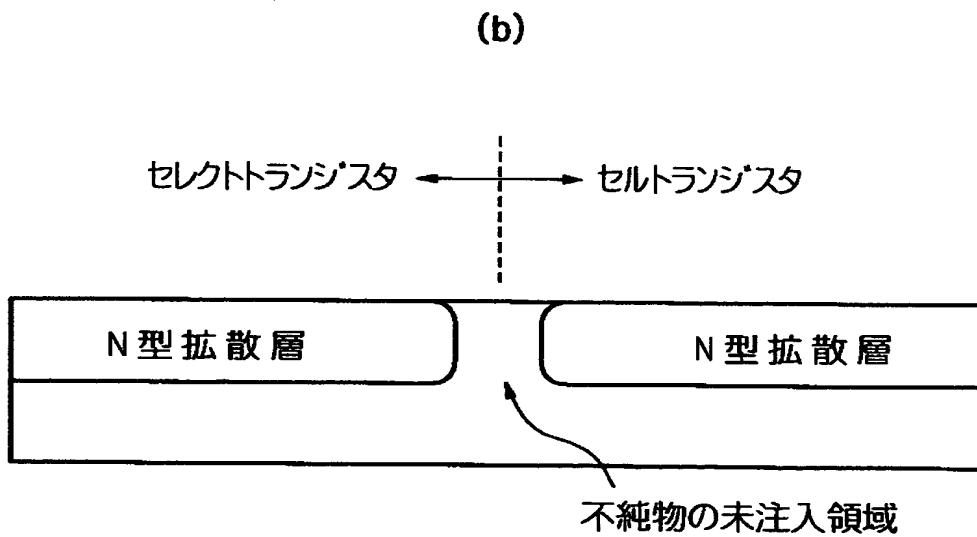
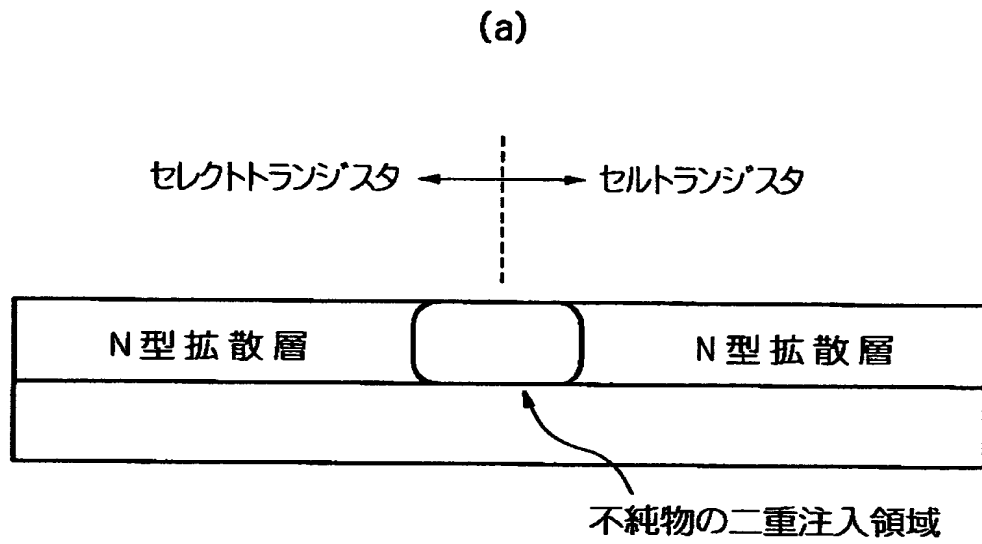
【図 2 3】



【図 2 4】



【図 2 5】



【書類名】 要約書

【要約】

【課題】 セレクトトランジスタのゲート絶縁膜の厚膜化や、セレクトトランジスタのゲート電極に用いるポリシリコン膜の不純物濃度の高濃度化を、少ない製造工程数で実現できる半導体記憶装置の製造方法を提供する。

【解決手段】 浮遊ゲート電極及び制御ゲート電極を備えた、情報を記録するための複数のセルトランジスタと、セルトランジスタを制御／選択するためのセレクトトランジスタとを有する、電氣的に情報の書込み／消去が可能な半導体記憶装置の製造方法であって、セルトランジスタの制御ゲートを形成する前に、セルトランジスタと同一の工程で製造されたセレクトトランジスタのチャネル領域直上の基板表面を露出させ、露出された基板表面にセレクトトランジスタのゲート絶縁膜を形成し、セルトランジスタの制御ゲート電極を形成すると共に、ゲート絶縁膜上にセレクトトランジスタのゲート電極を形成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社